

BUNDESREPUBLIK DEUTSCHLAND

PCT EP 03/08081

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 14 NOV 2003

WIPO

PCT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 41 812.8

Anmeldetag: 06. September 2002

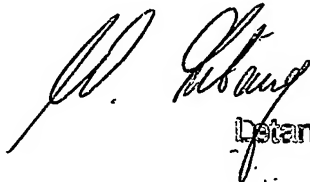
Anmelder/Inhaber: PACT XPP Technologies AG,
München/DE

Bezeichnung: Rekonfigurierbare Sequenzerstruktur

IPC: G 06 F 9/02

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 04. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag


Detang

A 9161
08/00
EDV-L

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY



Deutsche Patentanmeldung

Anmelder: PACT XPP Technologies AG
Muthmannstrasse 1
5 D-80939 München

Vertreter: Patentanwalt
Claus Peter Pietruk
10 Heinrich-Lilienfein-Weg 5
D-76229 Karlsruhe
Vertreter-Nr. 321 605

15 Titel: Rekonfigurierbare Sequenzerstruktur

Beschreibung

20 Die vorliegende Erfindung betrifft ein Zellelementefeld und ein Verfahren zum Betrieb desselben. Damit befaßt sich die vorliegende Erfindung insbesondere mit rekonfigurierbaren Datenverarbeitungsarchitekturen.

25 Unter einer rekonfigurierbaren Architektur werden u. a. Bausteine (VPU) verstanden, die eine Vielzahl in Funktion und/oder Vernetzung im Betrieb veränderliche Elemente aufweisen. Zu den Elementen können arithmetische Logikeinheiten, FPGA-Bereiche, Ein-Ausgabezellen, Speicherzellen, analoge Baugruppen usw. gehören. Bausteine dieser Art sind beispielsweise unter der Bezeichnung VPU bekannt. Diese umfaßt typisch
30 als PAEs bezeichnete ein- oder mehrdimensional angeordnete arithmetische und/oder logische und/oder analoge und/oder speichernde und/oder vernetzende Baugruppen und/oder kommuni-

kative periphere Baugruppen (IO), die direkt oder durch einen oder mehrere Bussysteme miteinander verbunden sind. Die PAEs sind in beliebiger Ausgestaltung, Mischung und Hierarchie angeordnet, wobei die Anordnung als PAE-Array oder kurz PA bezeichnet wird. Es kann dem PAE-Array eine konfigurierende Einheit zugeordnet sein. Prinzipiell sind neben VPU-Bausteinen auch systolische Arrays, neuronale Netze, Mehrprozessorsysteme, Prozessoren mit mehreren Rechenwerken und/oder logischen Zellen, Vernetzungs- und Netzwerkbausteine wie Crossbar-Schaltung usw. bekannt, genauso wie FPGAs, DPGAs, Transputer usw.

Es wird darauf hingewiesen, daß wesentliche Aspekte der VPU-Technik in den folgenden Schutzrechten desselben Anmelders sowie den zugehörigen Nachanmeldungen zu den aufgeführten Schutzrechten beschrieben sind:

P 44 16 881.0-53, DE 197 81 412.3, DE 197 81 483.2,
DE 196 54 846.2-53, DE 196 54 593.5-53, DE 197 04 044.6-53,
DE 198 80 129.7, DE 198 61 088.2-53, DE 199 80 312.9,
PCT/DE 00/01869, DE 100 36 627.9-33, DE 100 28 397.7,
DE 101 10 530.4, DE 101 11 014.6, PCT/EP 00/10516,
EP 01 102 674.7, DE 102 06 856.9, 60/317,876,
DE 102 02 044.2, DE 101 29 237.6-53, DE 101 39 170.6.

Es sei darauf hingewiesen, daß die vorgenannten Dokumente zu Offenbarungszwecken insbesondere hinsichtlich Besonderheiten und Details der Vernetzung, Konfiguration, Ausgestaltung von Architekturelementen, Triggerverfahren usw. eingegliedert sind.

Die Architektur hat beachtliche Vorteile gegenüber herkömmlichen Prozessorarchitekturen, soweit damit Datenverarbeitung in einer Art und Weise erfolgt, die hohe Anteile an parallelen und/oder vektoriellen Datenverarbeitungsschritten besitzt. Die Vorteile der Architektur gegenüber anderen Prozessor-, Coprozessor- oder generell Datenverarbeitungseinheiten werden jedoch geringer, wenn sich die Vorteile der Vernetzung und der gegebenen prozessorarchitektonischen Besonderheiten nicht mehr in vollem Umfange realisieren lassen.

Dies ist besonders dann der Fall, wenn Datenverarbeitungsschritte abzuarbeiten sind, die herkömmlich am besten auf Sequenzer-Strukturen abgebildet werden können. Es ist wünschenswert, die rekonfigurierbare Architektur derart auszugestalten und zu verwenden, daß auch typisch mit Sequenzern besonders gut abzuarbeitende Datenverarbeitungsschritte besonders schnell und effizient abgearbeitet werden können.

Die Aufgabe der vorliegenden Erfindung besteht darin, Neues für die gewerbliche Anwendung bereitzustellen.

Die Lösung dieser Aufgabe wird unabhängig beansprucht. Bevorzugte Ausführungsformen finden sich in den Unteransprüchen.

Gemäß einem ersten wesentlichen Aspekt der Erfindung wird somit bei einem in Funktion und/oder Vernetzung insbesondere zur Laufzeit ohne Störung nicht rekonfigurierter Elemente rekonfigurierbaren Zellelementefeld zur Datenverarbeitung mit Funktionszellen zur Ausführung algebraischer und/oder logischer, konfigurierbarer Funktionen und Speicherzellen, um Informationen zu empfangen, abzuspeichern und/oder auszugeben vorgeschlagen, daß eine Steuerverbindung von den Funktions-

zellen zu den Speicherzellen geführt ist. Diese Steuerverbindung dient dazu, die Adress- und/oder Datenein/ausgabe aus dem Speicher durch die zugeordnete Funktionszelle, typisch einer ALU-PAE, steuerbar zu machen. So kann etwa angegeben

5 werden, ob die nächste übertragene Information als Adresse oder als Daten behandelt werden soll und ob ein Lese- und/oder Schreibzugriff erforderlich ist. Diese Daten aus der Speicherzelle, bei der es sich etwa um eine RAM-PAE handeln kann, auf die ALU-PAE erlauben dann, daß neue, von der ALU
10 abzuarbeitende Befehle in diese geladen werden können. Es ist auf diese Weise möglich, lediglich durch Vorsehen einer dedizierten und dediziert funktionszellenkontrollierten Steuer- verbindung zwischen Funktionszelle und Speicherzelle bereits mit nur zwei Elementen, die über geeignete Busse verbunden
15 sind, eine Sequenzerstruktur in einem Zellelementefeld aufzubauen, ohne daß ansonsten weitere Maßnahmen und/oder bauliche Veränderungen erforderlich sind. In der Speicherzelle können Daten, Adressen, Programmschritte usw. in per se aus herkömmlichen Prozessoren bekannter Weise abgelegt werden. Weil bei-
20 de Elemente auch in anderer Weise bei entsprechender Konfiguration einsetzbar sind, ergibt sich eine besonders effiziente Bauweise, die sowohl Sequenzerstrukturen als auch vektoriellen und/oder parallelisierbaren Strukturen besonders gut anpaßbar ist.

25

Es ist einsichtig, daß durch die Verwendung von lediglich zwei Zellen in einem Zellelementefeld, nämlich der Funktionszelle und der Informationsbereitstellungszelle eine Vielzahl von sequenzerartigen Strukturen in dem rekonfigurierbaren
30 Zellelementefeld aufgebaut werden kann. Dies ist insofern vorteilhaft, als oftmals bei der Datenverarbeitung, etwa in einem multitaskingfähigen Betriebssystem, eine Reihe unter-

schiedlicher und voneinander per se verschiedener Aufgaben abgearbeitet werden muß. Es können dann eine Vielzahl derartiger Aufgaben in einem einzigen Zellelementefeld effektiv gleichzeitig abgearbeitet werden. Die Vorteile für Echt-
5 zeitanwendungen sind offensichtlich. Weiter ist es auch möglich, die einzelnen Sequenzerstrukturen, die in einem Zellelementefeld unter Vorsehung der erfindungsgemäßen Steuerverbindung aufgebaut werden, mit unterschiedlichen Taktraten zu betreiben, etwa um den Stromverbrauch dadurch zu senken, daß
10 Aufgaben mit geringerer Priorität langsamer abgearbeitet werden. Es ist überdies möglich, bei der Ausführung per se weitgehend paralleler Algorithmen sequenzerartige Programmteile in dem Feld parallel oder vektoriell abzuarbeiten und umgekehrt.

15 Das Zellelementefeld mit den in Funktion und/oder Vernetzung konfigurierbaren Zellen kann einsichtigerweise einen Prozessor, einen Coprozessor und/oder einen Mikrocontroller bilden, bzw. eine parallele Vielzahl oder Kombinationen derselben.

20 Die Funktionszellen sind typisch als arithmetische Logikeinheiten gebildet, wobei sie insbesondere grobgranulare Elemente darstellen, die aber mit einer feingranularen Statemachine versehen sein können. In einem besonders bevorzugten Ausführungsbeispiel handelt es sich bei den ALUs um sogenannte erweiterte ALUs (EALU), wie diese in den früheren Anmeldungen des vorliegenden Anmelders beschrieben wurden. Eine Erweiterung kann insbesondere die Steuerleitungskontrolle, Befehlsdekodiereinheit etc. umfassen, soweit erforderlich.

30 Die Speicherzellen können Daten und/oder Informationen flüchtig und/oder nichtflüchtig speichern. Wenn in den Speicher-

zellen abgelegte Informationen, seien es Programmschritte, Adressen für einen Zugriff auf Daten oder registerartig bzw. heap-artig abgelegte Daten als flüchtige Daten abgelegt sind, so kann eine vollständige Rekonfiguration während des Betriebes erfolgen. Alternativ ist es möglich, nichtflüchtige Speicherzellen vorzusehen. Die nichtflüchtigen Speicherzellen können etwa als EE-Prom-Bereich und dergleichen vorgesehen werden, in die ein rudimentäres Bios-Programm abgelegt wird, das bei Inbetriebnahme der Anordnung auszuführen ist. Auf diese Weise kann ohne weitere Bauteile eine Inbetriebnahme einer Datenverarbeitungseinrichtung erfolgen. Ein nichtflüchtiger Datenspeicher kann auch dann vorgesehen werden, wenn aus Kosten- und/der Raumgründen beschlossen wird, daß immer wieder dieselben Programmteile auszuführen sind, wobei diese auch unter solch festen Programmteilen, etwa nach Art der WA-VE-Rekonfiguration, im Betrieb gewechselt werden kann. Die Möglichkeiten, derartige nichtflüchtige Speicher vorzusehen und zu verwenden, sind Gegenstand anderer Schutzrechte des Anmelders. Es ist möglich, sowohl flüchtige als auch nichtflüchtige Daten in den Speicherzellen abzuspeichern, etwa um ein Bios-Programm fest abzulegen und die Speicherzelle dennoch für andere Zwecke nutzen zu können.

Die Speicherzelle ist bevorzugt so ausgebildet, daß sie eine hinreichende Vielzahl von zu verarbeitenden Daten und/oder abzuarbeitenden Programmteilen speichern kann. Es sei dabei darauf hingewiesen, daß diese Programmteile sowohl als Programmschritte ausgebildet sein können, die jeweils vorgeben, was eine einzelne, insbesondere die zugeordnete PAE, also insbesondere die die Speicherzelle steuernde Funktionszelle, im nächsten Schritt zu tun hat, als auch ganze Konfigurationen für Feldbereiche oder andere Felder beinhalten kann. In

einem solchen Fall ist es ohne weiteres möglich, daß die aufgebaute Sequenzerstruktur einen Befehl ausgibt, auf Grund dessen eine Rekonfiguration von Zellelementefeldbereichen erfolgt. Damit arbeitet die diese Konfiguration auslösende

- 5 Funktionszelle dann zugleich als Ladelogik. Es sei darauf hingewiesen, daß die Konfiguration von anderen Zellen wiederum dergestalt erfolgen kann, daß dort eine sequenzerartige Datenverarbeitung erfolgt und es ist in diesen Feldern wiederum möglich, andere Zellen im Verlauf der Programmarbeitung
- 10 zu konfigurieren bzw. rekonfigurieren. Damit ergibt sich ein iteratives Konfigurieren von Zellelementebereichen und ein Einschachteln von Programmen mit Sequenzer- und Parallel-Strukturen, die ähnlich ineinander geschachtelt sind wie eine Babuschka. Es sei darauf hingewiesen, daß hier insbesondere
- 15 durch Ein-Ausgabezellen ein Zugriff auf weitere Zellelementefelder außerhalb eines einzelnen integrierten Bausteines erfolgen kann, was die Gesamtrechenleistung massiv erhöhen kann. Es ist insbesondere möglich, bei Auftreten von Konfigurationen in einem Codeteil einer in ein Zellelementefeld hineinkonfigurierten Sequenzerstruktur gegebenenfalls entweder
- 20 die Konfigurationsanforderungen auf einem zugewiesenen Zellelementefeld, das von der jeweiligen Sequenzerstruktur allein verwaltet wird, durchzuführen und/oder es können derartige Anforderungen an eine Konfigurations-Mastereinheit abgegeben
- 25 werden, um sicherzustellen, daß eine gleichmäßige Belegung aller Zellelementefelder erfolgt. Es ergibt sich somit quasi ein Unterprogrammaufruf durch Übergabe von erforderlichen Konfigurationen an Zellen oder Ladelogiken. Dies wird für sich als schutzwürdig angesehen. Es sei auch darauf hingewiesen, daß die Zellen, sofern sie selbst für die Konfiguration
- 30 anderer Zellelementefeldbereiche Zuständigkeit besitzen, mit hard- oder softwareartig implementierten FILMO-Strukturen und

Akte: PACT34

- dergleichen zur Sicherstellung einer ordnungsgemäßen Rekonfiguration versehen sein können. Auf die Möglichkeit, die Speicherzellen während der Abarbeitung von Befehlen derart zu beschreiben, daß sich der abzuarbeitende Code bzw. das abzuarbeitende Programm ändert, sei hingewiesen. In einer besonders bevorzugten Variante ist diese Art der Selbstmodifikation (SM) aber durch eine entsprechende Steuerung über die Funktionszelle unterdrückt.
- 10 Es ist möglich, daß die Speicherzelle abgespeicherte Information hier auf die Ansteuerung der sie steuernden Funktionszelle direkt oder indirekt auf einen zur Funktionszelle führenden Bus gibt. Die indirekte Ausgabe kann insbesondere dann erfolgen, wenn beide Zellen benachbart liegen und die durch
- 15 Ansteuerung angeforderte Information an die ALU-PAE über ein Bussegment eintreffen muß, das nicht unmittelbar mit dem Ausgang der Speicherzelle verbunden werden kann. In einem solchen Fall kann die Speicherzelle Daten auf dieses Bussystem insbesondere über Rückwärtsregister (Backward-Register) aus-
- 20 geben. Es ist daher bevorzugt, wenn zumindest eine von Speicherzelle und/oder Funktionszelle ein solches Backward-Register aufweist, welches im Informationsweg zwischen Speicherzelle und Funktionszelle angeordnet werden kann. Diese Register brauchen in einem solchen Fall nicht zwingend mit
- 25 weiteren Funktionalitäten versehen sein, obwohl dies etwa bei Anforderung von Daten aus der Speicherzelle für die weitere Verarbeitung, entsprechend einem herkömmlichen LOAD-Befehl eines typischen Mikroprozessors, zur Veränderung der Daten noch vor dem Hineinladen in die PAE ohne weiteres denkbar
- 30 ist, um z. B. einen Befehl LOAD++ zu realisieren.

Die Speicherzelle wird bevorzugt dazu angeordnet sein, Informationen von der sie steuernden Funktionszelle zu empfangen, wobei auch weiter ein Informationseinspeichern über eine Ein-Ausgabe-
5 Zelle möglich ist. Insbesondere dann, wenn Daten von einer Ein-Ausgabe-
Zelle in die Speicherzelle geschrieben werden sollen, ist es bevorzugt, wenn auch diese Ein-Ausgabe-
Zelle (I/O-PAE) von der Funktionszelle gesteuert wird. Dabei kann etwa
10 die Adresse, bei welcher eine in die Speicherzelle zu schreibende oder gegebenenfalls auch direkt an die Funktionszelle (PAE) übertragene Information zu lesen ist, an die I/O-PAE von der ALU-PAE übermittelt werden. Es sei in diesem Zusammenhang darauf hingewiesen, daß diese Adresse über eine
15 Adreßübersetzungstabelle (Adresstranslationtable), einen Adresstranslationbuffer oder eine MMU-artige Struktur in der I/O-PAE festgelegt werden kann. Es ergeben sich in einem solchen Fall die vollen Funktionalitäten typischer Mikroprozessoren.

20 Die Funktionszellen-Speicherzellenkombination ist demnach in einer bevorzugten Variante zumindest ein Ein-Ausgabe-Mittel zugeordnet, mit welchem dann an eine externe Einheit, eine andere Funktionszelle, Funktionszellen-Speicherzellen-Kombination und/oder Speicherzellen Information gesandt
25 und/oder von dieser empfangen werden kann.

Die Ein-Ausgabe-Einheit wird dabei bevorzugt gleichfalls zum Empfang von Steuerbefehlen aus der Funktionszelle ausgebildet.

30

Akte: PACT34

In einer bevorzugten Variante ist die Steuerverbindung dazu ausgebildet, zumindest einige und bevorzugt alle der nachfolgenden Befehle zu übertragen:

- 5 OPCODE FETCH,
DATA WRITE INTERN,
DATA WRITE EXTERN,
DATA READ INTERN,
DATA READ EXTERN,
- 10 ADRESSPOINTER WRITE INTERN,
ADRESSPOINTER WRITE EXTERN,
ADRESSPOINTER READ INTERN,
ADRESSPOINTER READ EXTERN,
PROGRAMMPOINTER WRITE INTERN,
- 15 PROGRAMMPOINTER WRITE EXTERN,
PROGRAMMPOINTER READ INTERN,
PROGRAMMPOINTER READ EXTERN,
STACKPOINTER WRITE INTERN,
STACKPOINTER WRITE EXTERN,
- 20 STACKPOINTER READ INTERN,
STACKPOINTER READ EXTERN,
PUSH,
POP,
PROGRAMMPOINTER INCREMENT.

25

- Dies kann durch eine entsprechende Bitbreite der Steuerleitung und eine zugeordnete Decodierung bei den Empfängern erfolgen. Die jeweils erforderlichen Steuer- und Dekodiermittel können problemfrei und kostengünstig vorgesehen werden. Wie
- 30 ersichtlich, ergibt sich mit den Befehlen eine praktisch vollständige Sequenzerfähigkeit der Anordnung. Daß auf diese

Weise eine Allgemeinzweckprozessordatenverarbeitungseinheit erhalten wird, sei erwähnt.

Die Anordnung wird typisch so gewählt sein, daß die Funktionszelle als alleiniger Master auf die Steuerverbindung und/oder ein als Steuerverbindung dienendes Bussegment bzw. Bussystem zugreifen kann. Es ergibt sich somit eine Anordnung, bei der die Steuerleitung als Command-Leitung wirkt, wie sie in herkömmlichen Prozessoren vorgesehen ist.

10

Die Funktionszelle und die Speicherzelle bzw. I/O-Zelle sind bevorzugt benachbart angeordnet. Unter benachbart kann dabei wie bevorzugt verstanden werden, daß die Zellen unmittelbar nebeneinander angeordnet sind. Alternativ befinden sie sich zumindest dicht beieinander. Die Anordnung der Funktions- und Speicherzellen in Nachbarschaft zueinander sorgt dafür, daß keine, jedenfalls keine signifikanten Latenzzeiten zwischen Ansteuerung und Dateneingang der angeforderten Information in der Funktionszelle auftreten, nur weil die Verbindungen zwischen den Zellen zu lang sind. Dies sei als „direkt“ verstanden. Müssen Latenzzeiten berücksichtigt werden, so kann auch ein Pipelining in den Sequenzerstrukturen vorgesehen werden. Dies wird besonders wichtig bei sehr hoch getakteten Anordnungen. Es sei darauf hingewiesen, daß es ohne weiteres möglich ist, entsprechend hochfrequent getaktete Zelleinheiten vorzusehen, die wie im Stand der Technik per se bekannt, auch entsprechend schnell auf geeignete Speicherzellen zugreifen können. Auch in einem solchen Fall, etwa wenn per se bekannte Architekturelemente für die Funktionszellen verwendet werden, wird gleichzeitig eine Rekonfigurierbarkeit des Funktionszelelementes und der zugehörigen Vernetzungen vorzusehen sein. In einer besonders bevorzugten Variante sind die Funk-

15

20

25

30

Akte: PACT34

tionszellen, die Informationsbereitstellungszellen wie Speicherzellen, I/O-Zellen und dergleichen multidimensional angeordnet, insbesondere nach Art einer Matrix bzw. auf Gitterpunkten eines eindimensionalen Gitters usw. Wenn eine regelmäßige Struktur vorliegt, wie dies dort der Fall ist, wird einer Zelle typisch aus einer ersten Reihe Information, das heißt Operanden, Konfigurationen, Triggersignale usw. zugeführt, während in einer darunterliegende Reihe Daten, Triggersignale und andere Informationen abgegeben werden. In einem solchen Fall wird es bevorzugt sein, wenn die Zellen in ein und derselben Reihe liegen und es kann dann der Informationstransfer aus der Informationsbereitstellungszelle in den erforderlichen Eingang der Funktionszelle über ein Backward-Register erfolgen. Die Möglichkeit, die Register für Pipelining zu benutzen, sei erwähnt.

Es wird weiter Schutz beansprucht für ein Verfahren zum Betrieb eines Zellelementefeldes, insbesondere multidimensionalen Zellelementefeldes mit Funktionszellen zur Ausführung algebraischer und/oder logischer Funktionen und Informationsbereitstellungszellen, insbesondere Speicherzellen und/oder Ein-Ausgabezellen zum Empfangen und/oder Ausgeben von Informationen und/oder Speichern derselben, wobei zumindest eine der Funktionszellen Steuerbefehle an zumindest eine Informationsbereitstellungszelle ausgibt, dort im Ansprechen auf die Steuerbefehle Information für die Funktionszelle bereitgestellt wird und die Funktionszelle dazu ausgebildet ist, die weitere Datenverarbeitung im Ansprechen auf die bereitgestellte Information durchzuführen, um so sequenzerartig Daten zu verarbeiten.

Es wird also in einem rekonfigurierbaren Feld durch die Ausgabe der Steuerbefehle an die Speicherzelle einer Sequenzstruktur eine sequenzerartige Datenverarbeitung ermöglicht. Die Befehle, die als Steuerbefehle von der Funktionszelle ausgegeben werden können, ermöglichen dabei einen sequenzerartigen Betrieb, wie er aus herkömmlichen Prozessoren bekannt ist. Es sei darauf hingewiesen, daß es ohne weiteres möglich ist, nur Teile der genannten Befehle zu implementieren und dennoch eine vollständig sequenzerartige Datenverarbeitung zu gewährleisten.

Die Erfindung wird im folgenden und beispielsweise anhand der Zeichnungen beschrieben. In dieser ist gezeigt durch:

- 15 Fig. 1 ein erfindungsgemäßes Zellelementefeld,
- Fig. 2a ein Detail hiervon,
- Fig. 2b,c das Detail von Fig. 2a während verschiedener Datenverarbeitungszeiten,
- Fig. 3 eine alternative Ausführungsform des Details
- 20 von Fig. 2,
- Fig. 4 eine besonders bevorzugte Variante des Details.

Nach Fig. 1 umfaßt ein allgemein mit 1 bezeichnetes Zellelementefeld zur Datenverarbeitung 1 Funktionszellen 2 zur Ausführung von arithmetischen und/oder logischen Funktionen sowie Speicherzellen 3, um Informationen zu empfangen, abzuspeichern und/oder auszugeben, wobei eine Steuerverbindung 4 von Funktionszellen 2 zu den Speicherzellen 3 geführt ist.

30 Das Zellelementefeld 1 ist in der Vernetzung der Elemente 2, 3, 4 frei konfigurierbar, und zwar ohne den laufenden Betrieb

nicht neu zu konfigurierender Zellelementteile zu stören.
 Dabei können die Verbindungen konfiguriert werden, indem Bus-
 systeme 5 wie erforderlich geschaltet werden. Weiter sind die
 Funktionszellen 2 in ihrer jeweiligen Funktion konfigurier-
 5 bar. Bei den Funktionszellen handelt es sich um arithmetische
 Logikeinheiten, die um bestimmte, Rekonfiguration ermögli-
 chende Schaltkreise erweitert sind, wie Statemachines,
 Schnittstellenbeschaltung zur Kommunikation mit der externen
 Ladelogik 6 usw. Auf die entsprechenden Voranmeldungen des
 10 Anmelders wird hingewiesen.

Die Zellelemente 2, 3 des Zellelementefeldes 1 sind zweidi-
 mensional in Reihen und Spalten angeordnet, wobei jeweils ei-
 ne Speicherzelle 3 unmittelbar neben einer Funktionszelle 2
 15 liegt und hier je Reihe drei Speicherzellen-Funktionszellen-
 Paare vorliegen, in denen die Funktions- und Speicherzellen
 jeweils über Steuerverbindungen 4 miteinander verbunden sind.
 Die Funktions- und Speicherzellen 2, 3 weisen Eingänge auf,
 die mit dem Bussystem oberhalb der Reihe, in der sich die je-
 20 weiligen Zellelemente verbindbar sind, um Daten davon zu emp-
 fangen. Weiter weisen die Zellen 2, 3 Ausgänge auf, die auf
 das Bussystem 5 unterhalb der Reihe Daten ausgeben. Wie noch
 erläutert werden wird, ist überdies jede Speicherzelle 3 mit
 einem Rückwärtsregister (BW) versehen, durch welches Daten
 25 von dem Bus unterhalb einer Reihe auf den Bus oberhalb der
 jeweiligen Reihe durchgeschleust werden können.

Mit Ausnahme der Steuerverbindungen 4 und der zugeordneten
 Schaltungen innerhalb der Funktionszellen (ALU in Fig. 2)
 30 bzw. Speicherzellen (RAM in Fig. 2) handelt es sich bei dem
 Zellelementefeld zur Datenverarbeitung von Fig. 1 um ein her-
 kömmliches Zellelementefeld, wie es bei rekonfigurierbaren

Datenverarbeitungsanordnungen, beispielsweise einer VPU entsprechend der XPP-Technologie des Anmelders gebräuchlich und bekannt ist. Insbesondere kann das Zellelementefeld von Fig. 1 wie bekannt betrieben werden, weist also entsprechende Beschaltungen zur Wave-Rekonfiguration, zum Debugging, Übertragen von Triggersignalen etc. auf.

Die Besonderheiten des Zellelementefeldes der vorliegenden Erfindung ergeben sich aus der Steuerverbindung 4 und der zugehörigen Beschaltung, die nachfolgend näher beschrieben werden wird mit Bezug auf die Fig. 2a-c. Es sei dabei erwähnt, daß während in Fig. 1 eine Steuerverbindung 4 stets von einem weiter links liegende Funktionszellenelement zu einer weiter rechts liegenden Speicherzelle geführt ist, und zwar nur und genau zu einer solchen Speicherzelle, es einleuchtenderweise möglich ist, auch für die Steuerleitungen eine konfigurierbare Vernetzung vorzusehen, um entweder an anderer Stelle liegende Speicherzellen anzusprechen und/oder um ggf. mehr als eine Speicherzelle anzusprechen zu können, wenn etwa in großem Umfange Speicherbedarf für Informationen besteht, die von den Speicherzellen zu empfangen, abzuspeichern und/oder auszugeben ist. Aus Gründen der Übersichtlichkeit wird aber in Fig. 1 und 2 lediglich auf fest vorgesehene einzelne Steuerverbindungen Bezug genommen, was das Verständnis der Erfindung wesentlich erleichtert. Die Steuerverbindung ist im übrigen erforderlichenfalls durch herkömmliche Leitungen, entsprechende Protokolle vorausgesetzt, substituierbar.

In Fig. 2 ist die Funktionszelle 2 als ALU und die Funktionszelle 3 als RAM bezeichnet. Oberhalb der Reihe, in der die Zellen liegen, verläuft der Bus 5a, der das bereits erwähnte Backward-Register 3a mit den Eingängen 3b der Speicherzelle

und 2b der ALU verbindet. Das unterhalb der Reihe verlaufende Bussystem ist mit 5b bezeichnet und es sind von dem Bussystem 5a, 5b nur die relevanten Segmente gezeichnet. Es ist erkennbar, daß das Bussystem 5b alternativ Daten erhält aus einem
5 Ausgang 2c der ALU 2, einem Ausgang 3c des RAM 3 und daß es Daten in den Eingang 3a1 des Backward-Registers führt.

Die ALU 2 weist zugleich weitere Ein- und Ausgänge 2a1, 2a2 auf, die auf andere Bussegmente geschaltet sein können und
10 über welche die ALU Daten wie Operanden empfängt bzw. Ergebnisse ausgibt.

Die Steuerverbindung 4 befindet sich dauerhaft unter der Kontrolle der erweiterten Schaltkreise der ALU und stellt hier
15 eine Verbindung dar, über welche eine Vielzahl von Bits übertragen werden kann. Die Breite der Steuerverbindung 4 ist dabei so gewählt, daß zumindest die folgenden Steuerbefehle an die Speicherzelle übertragen werden können: DATA WRITE, DATA
20 READ, ADRESSPOINTER WRITE, ADRESSPOINTER READ, PROGRAMMPOINTER WRITE, PROGRAMMPOINTER READ, PROGRAMMPOINTER INCREMENT, STACKPOINTER WRITE, STACKPOINTER READ, PUSH, POP. Die Speicherzelle 3 weist zugleich wenigstens drei Speicherbereiche auf, nämlich einen sog. Stack-Bereich, einen Heap-Bereich und einen Programm-Bereich. Jedem Bereich ist dabei ein eigener
25 Zeiger zugeordnet, über den bestimmt ist, auf welchen Bereich des Stacks, des Heaps und des Programmbereiches jeweils lesend oder schreibend zugegriffen wird.

Der Bus 5a wird im Zeitmultiplex gemeinsam von den Einheiten
30 2 und 3 verwendet. Dies ist in den Fig. 2b, 2c angedeutet. So ist in Fig. 2b eine Situation gezeigt, in welcher aus dem Ausgang 2a2 der ALU-PAE Daten über das Backward-Register auf

den Eingang der RAM-Zelle gesandt werden können, wohingegen der zeitgleich bestehenden, wenngleich nicht benutzten Verbindung zwischen dem Ausgang 3c des RAM zum Bus 5b und der Verbindung zwischen dem Ausgang des Backward-Registers BW zum Eingang 2b der ALU-PAE zum Zeitpunkt von Fig. 2b keine Bedeutung zukommt, weshalb diese gestrichelt angedeutet sind. In Fig. 2c ist hingegen ein Zeitpunkt gezeigt, zu welchem die Speicherzelle 3 über ihren Ausgang 3c aus dem über Steuerleitung 4 bestimmten Speicherbereich Stack, Heap, Program die Information über das Backward-Register an den Eingang 2b der ALU-PAE 2 speist, während der Ausgang der ALU-PAE 2c inaktiv ist und am Eingang 3b der RAM-PAE kein Signal empfangen wird. Aus diesem Grund sind die entsprechenden Verbindungen strichpunktliert und somit als inaktiv dargestellt.

Innerhalb der RAM-Zelle 3 ist eine Schaltung 3d vorgesehen, in der die über die Steuerleitung 4 bzw. das Steuerleitungsbussegment 4 empfangene Information decodiert wird.

Die Erfindung wird verwendet wie folgt:

Zunächst empfängt die ALU 2 Konfigurationsinformation von einer zentralen Ladelogik, wie im Stand der Technik bereits bekannt. Die Informationsübertragung kann in per se bekannter Weise unter Verwendung des RDY/ACK-Protokolls und dergleichen geschehen. Auf die Möglichkeit, bei der Ladelogik einen FILMO-Speicher usw. vorzusehen, um eine ordnungsgemäße Konfiguration der Anordnung zu ermöglichen, wird hingewiesen.

Mit den Daten für die Konfiguration der ALU 2 wird zugleich eine Reihe von Daten aus der Ladelogik übertragen, die ein sequenzerartig abzuarbeitendes Programm darstellt. Die ALU

Akte: PACT34

- gibt deshalb während ihrer Konfiguration auf der Leitung 4 einen entsprechenden Befehl aus, der den Programmzeiger zum Schreiben auf einen vorgegebenen Wert innerhalb des RAM setzt. Danach werden von der Ladelogik bei der ALU empfangene
- 5 Daten über den Ausgang 2c über den Bus 5b1 und das Backward-Register 3a gespeist und gelangen von dort in den Eingang 3b der RAM-PAE 3. Von der Einheit 3d werden entsprechend des Steuerbefehls auf Steuerleitung 4 dann Daten auf den angewiesenen Programmspeicherplatz geschrieben. Dies wiederholt
- 10 sich, bis sämtliche, von der Ladelogik bei der Konfiguration empfangenen Programmteile in der Speicherzelle 3 abgelegt sind. Wenn dann die Konfiguration der ALU beendet ist, wird diese durch Ausgabe der entsprechenden Befehle auf der Steuerleitung 4 die nächsten, von ihr sequenzerartig abzuarbeitenden Programmschritte anfordern und über den Ausgang 3c,
- 15 den Bus 5b, das Backward-Register der RAM-PAE 3 und den Bus 5a an ihrem Eingang empfangen. Während der Programmabarbeitung können dabei Situationen auftreten, bei denen Sprünge innerhalb des Programmspeicherbereiches erforderlich sind,
- 20 Daten in die ALU-PAE aus der RAM-PAE geladen werden, Daten im Stack abgelegt werden müssen usw. Die diesbezügliche Kommunikation zwischen ALU-PAE und RAM-PAE erfolgt über die Steuerleitung 4, so daß die ALU-PAE zu jedem Zeitpunkt die Dekodierung durchführen kann. Überdies können auch, wie bei einem
- 25 herkömmlichen Mikroprozessor, Daten aus einem Stack oder einem anderen RAM-Speicherbereich empfangen werden und es können überdies Daten von außerhalb als Operanden in der ALU-PAE empfangen werden.
- 30 Es findet dabei die Abarbeitung der Programmsequenz statt, die in den RAM-PAE durch die Ladelogik vorkonfiguriert wurde. In der ALU-PAE wird dabei zugleich, wie per se erforderlich,

eine Befehlsdekodierung vorgenommen. Dies geschieht mit den per se gleichen Schaltkreisen, die schon für die Dekodierung der von der Ladelogik erhaltenen Befehle verwendet werden.

- 5 Es wird über die ALU zu jedem Zeitpunkt die Steuerleitung 4 kontrolliert, daß die RAM-Zelle stets genau die Art des Speicherzugriffes befolgt, die von der ALU vorgegeben ist. Auf diese Weise ist sichergestellt, daß ungeachtet der Zeitmultiplex-Benutzung der Buselemente 5a, b jederzeit den in der Sequenzerstruktur vorhandenen Elementen vorgegeben ist, ob auf
- 10 den Bussen Adressen für zu holende und/oder zu schreibende Daten oder Codes liegen oder ob und gegebenenfalls wohin Daten zu schreiben sind etc.
- 15 Die in Bezug auf Fig. 2 gezeigte Anordnung kann auf unterschiedliche Arten erweitert oder verändert werden. Besonders relevant sind die in Fig. 3 und 4 dargestellten Varianten.

- Nach Fig. 3 ist zur Verbindung von oberen und unteren Bussen
- 20 nicht nur ein Backward-Register an der RAM-PAE vorgesehen, sondern es sind auch ein Vorwärts-Register an der RAM-PAE und Vorwärts- und Rückwärts-Register an der ALU-PAE vorhanden. Diese können, wie durch die Mehrfach-Pfeile angedeutet, dazu dienen, von anderen Einheiten, wie externen Hosts, externen
- 25 Peripherie-Geräten wie Festplatten, Hauptspeicher und dergleichen und/oder von anderen Sequenzerstrukturen, PAEs, RAM-PAEs etc. Daten zu empfangen und an diese zu senden. Wenn ein entsprechender Anforderungsbefehl für neue Programmteile aus der Sequenzerstruktur, die durch die ALU-PAE und die RAM-PAE
- 30 gebildet ist, abgesandt wird, ist es möglich, Programmblöcke in der Sequenzerstruktur abzuarbeiten, die weit größer sind als jene, die in der RAM-PAE speicherbar sind. Dies ist ins-

besondere bei komplexen Datenverarbeitungsaufgaben, Sprüngen über weite Bereiche, insbesondere in Unterprogramme usw. von massivem Vorteil.

- 5 Eine noch weiter bevorzugte Variante ist in Fig. 4 gezeigt. Hier kommuniziert die ALU-PAE nicht nur mit einer RAM-PAE, sondern zugleich mit einer Input/Output-PAE, die dazu ausgebildet ist, eine Schnittstellenbeschaltung für die Kommunikation mit externen Bauelementen vorzusehen, wie Festplatten, anderen XPP-VPUs, fremden Prozessoren und Coprozessoren usw. Wiederum ist die ALU-PAE die Einheit, die als Master für die als „CMD“ bezeichnete Steuerverbindung arbeitet und wiederum werden die Busse in Multiplex-Weise verwendet. Auch hier kann eine Übertragung von Daten von dem Bus unterhalb der Reihe in den Bus oberhalb der Reihe durch das Backward-Register erfolgen.

- Die in Fig. 4 gezeigte Anordnung ermöglicht es, externe Zugriffe auf nicht in der Speicherzelle RAM-PAE abspeicherbare Informationen besonders leicht zu gestalten und ermöglicht damit eine Anpassung der Sequenzerstruktur an bestehende, herkömmliche CPU-Technologien und deren Betriebsverfahren in noch stärkerem Maße insoweit, als nun in der Eingabe-Ausgabezeile Adressübersetzungsmittel, Speicherverwaltungseinheiten (MMU-Funktionen) und dergleichen implementiert sein können. Die RAM-PAE kann hier etwa als Cache, insbesondere aber als vorgeladener Cache dienen.

- Es sei darauf hingewiesen, daß mehrere Sequenzerstrukturen gleichzeitig in ein und dasselbe Feld hineinkonfiguriert werden können, daß Funktionszellen, Speicherzellen und ggf. Ein-Ausgabezellen wahlweise für Sequenzerstrukturen und/oder eine

für die XPP-Technologie herkömmliche Weise konfiguriert werden können und daß es ohne weiteres möglich ist, daß eine ALU an eine andere ALU Daten ausgibt, die diese in einer Sequen-
zer-Weise konfigurieren und/oder zum Teil eines Zellelementa-
5 felde machen, mit dem eine bestimmte Konfiguration abgear-
beitet wird. Auf diese Weise wird dann gegebenenfalls auch
die Ladelogik entbehrlich.

Deutsche Patentanmeldung

Anmelder: PACT XPP Technologies AG
Muthmannstrasse 1
5 D-80939 München

Vertreter: Patentanwalt
Claus Peter Pietruk
Heinrich-Lillienfein-Weg 5
10 D-76229 Karlsruhe
Vertreter-Nr. 321 605

15 Titel: Rekonfigurierbare Sequenzerstruktur

Patentansprüche

20 1. Zellelementefeld zur Datenverarbeitung mit Funktionszellen zur Ausführung algebraischer und/oder logischer Funktionen und Speicherzellen, um Information zu empfangen, abzuspeichern und/oder auszugeben, dadurch gekennzeichnet, daß von den Funktionszellen eine Steuerverbindung zu den Speicherzellen geführt ist.

25 2. Zellelementefeld nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß ein Prozessor, Coprozessor und/oder Microcontroller mit einer Vielzahl in Funktion und/oder Vernetzung rekonfigurierbarer und/oder vorgegebbarer Einheiten wie Funktionszellen und/oder Speicherzellen bildet.
30

3. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Funktionszellen als arithmetische Logikeinheiten gebildet sind.
- 5 4. Zellelementefeld nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die arithmetischen Logikeinheiten als erweiterte ALUs gebildet sind.
- 10 5. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Speicherzellen zur flüchtigen und/oder nicht flüchtigen Datenspeicherung ausgebildet sind.
- 15 6. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Speicherzellen zur Abspeicherung von zu verarbeitenden Daten und/oder von zu verarbeitenden Programmschritten ausgebildet sind.
- 20 7. Zellelementefeld zur Datenverarbeitung, dadurch gekennzeichnet, daß die Speicherzellen dazu ausgebildet sind, abgespeicherte Informationen auf Ansteuerung der sie steuernden Funktionszelle direkt und/oder indirekt auf einen zur Funktionszelle führenden Bus zu geben.
- 25 8. Zellelementefeld nach einem der vorhergehenden Ansprüche, worin zumindest einer Speicherzelle und/oder Funktionszelle Register zugeordnet sind, insbesondere ein Backward-Register, welches im Informationsweg zwischen Speicherzelle und Funktionszelle angeordnet ist.
- 30 9. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Speicherzelle dazu ange-

ordnet ist, Informationen von der sie steuernden Funktionszelle, einer Eingabe-Ausgabe-Zelle und/oder einer sie nicht steuernden Zelle mit arithmetischer Logikeinheit zu empfangen.

5

10. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Funktionszellen-Speicherzellen-Kombination zumindest ein Ein-Ausgabe-Mittel zugeordnet ist, um Informationen an eine externe Einheit und/oder eine andere Funktionszelle, Funktionszellen-Speicherzellen-Kombination und/oder Speicherzelle zu senden und/oder von dieser zu empfangen.
- 10
11. Zellelementefeld nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß das Ein-Ausgabe-Mittel gleichfalls zum Empfang von Steuerbefehlen aus der Funktionszelle ausgebildet ist.
- 15
12. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Steuerung dazu ausgebildet ist, zumindest einige, bevorzugt alle der nachfolgenden Befehle zu übertragen und/oder die Speicherzelle bzw. Eingabe/Ausgabe-Zelle dazu ausgebildet ist, die folgenden Befehle zu dekodieren: DATA WRITE/READ, ADRESSPOINTER WRITE/READ, PROGRAMMPOINTER WRITE/READ, PROGRAMMPOINTER INCREMENT, STACKPOINTER WRITE/READ, vorgenannte Befehle jeweils insbesondere für internen und/oder externen Zugriff, PUSH, POP, OPCODE, FETCH.
- 20
- 25
- 30 13. Zellelementefeld nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Funktionszelle als allei-

niger Master auf die Steuerverbindung und/oder das als Steuerungsverbindung dienende Bussegment zugreifen kann.

14. Zellelementefeld zur Datenverarbeitung nach einem der vor-
5 hergehenden Ansprüche, dadurch gekennzeichnet, daß die Funktionszelle zumindest einer von Speicherzelle und Ein-Ausgabezelle benachbart angeordnet ist.
15. Zellelementefeld nach einem der vorhergehenden Ansprüche,
10 dadurch gekennzeichnet, daß die Zellelemente multidimensional angeordnet sind, insbesondere matrixartig, wobei die Funktionszelle und/oder die benachbarte Speicher- bzw. Ein-Ausgabezelle aus einer oberen Reihe Daten empfangen und in eine untere Reihe Daten ausgeben kann, wo-
15 bei in einer Reihe Busse vorgesehen sind und die Funktionszelle und zumindest eine Speicher- und/oder Ein-Ausgabezelle in ein und derselben Reihe liegen.
16. Verfahren zum Betrieb eines Zellelementefeldes, insbeson-
20 dere multidimensionalen Zellelementefeldes mit Funktionszellen zur Ausführung algebraischer und/oder logischer Funktionen und Informationsbereitstellungszellen, insbesondere Speicherzellen und/oder Ein-Ausgabezellen zum
25 Empfangen und/oder Ausgeben von Informationen und/oder Speichern derselben, dadurch gekennzeichnet, daß zumindest eine der Funktionszellen Steuerbefehle an zumindest eine Informationsbereitstellungszelle ausgibt, dort im Ansprechen auf die Steuerbefehlinformation für die Funktionszelle verarbeitet wird und die Funktionszelle dazu
30 ausgebildet ist, eine weitere Datenverarbeitung im Ansprechen auf aus der Informationsbereitstellungszelle be-

reitgestellte Information durchzuführen, um so sequenzer-
artig Daten zu verarbeiten.

17. Verfahren nach einem der vorhergehenden Ansprüche, da-
5 durch gekennzeichnet, daß die Funktionszelle dazu ausge-
bildet ist, zumindest einige der Steuerbefehle
OPCODE FETCH,
DATA WRITE INTERN,
DATA WRITE EXTERN,
10 DATA READ INTERN,
DATA READ EXTERN,
ADRESSPOINTER WRITE INTERN,
ADRESSPOINTER WRITE EXTERN,
ADRESSPOINTER READ INTERN,
15 ADRESSPOINTER READ EXTERN,
PROGRAMMPOINTER WRITE INTERN,
PROGRAMMPOINTER WRITE EXTERN,
PROGRAMMPOINTER READ INTERN,
PROGRAMMPOINTER READ EXTERN,
20 STACKPOINTER WRITE INTERN,
STACKPOINTER WRITE EXTERN,
STACKPOINTER READ INTERN,
STACKPOINTER READ EXTERN,
PUSH,
25 POP,
PROGRAMMPOINTER INCREMENT
ausgibt und im Laufe Zellelementbetriebs zumindest einige,
insbesondere alle der oben genannten Steuerbefehle wie
erforderlich ausgibt.

30

Deutsche Patentanmeldung

Anmelder: PACT XPP Technologies AG
Muthmannstrasse 1
D-80939 München

Vertreter: Patentanwalt
Claus Peter Pietruk
Heinrich-Lillienfein-Weg 5
D-76229 Karlsruhe
Vertreter-Nr. 321 605

Titel: Rekonfigurierbare Sequenzerstruktur

Zusammenfassung

Die Erfindung betrifft ein Zellelementfeld zur Datenverarbeitung mit Funktionszellen zur Ausführung algebraischer und/oder logischer Funktionen und Speicherzellen, um Information zu empfangen, abzuspeichern und/oder auszugeben. Hierbei ist vorgesehen, daß von den Funktionszellen eine Steuerverbindung zu den Speicherzellen geführt ist.

(Fig. 1)

.....

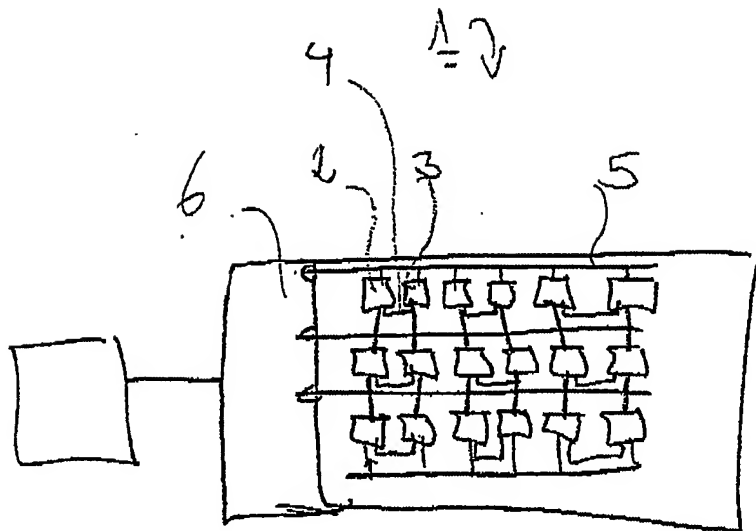


Fig. 1

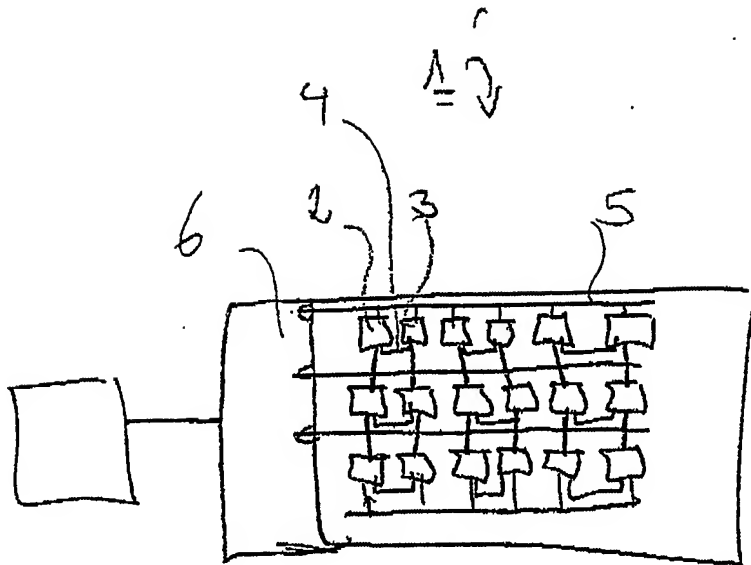
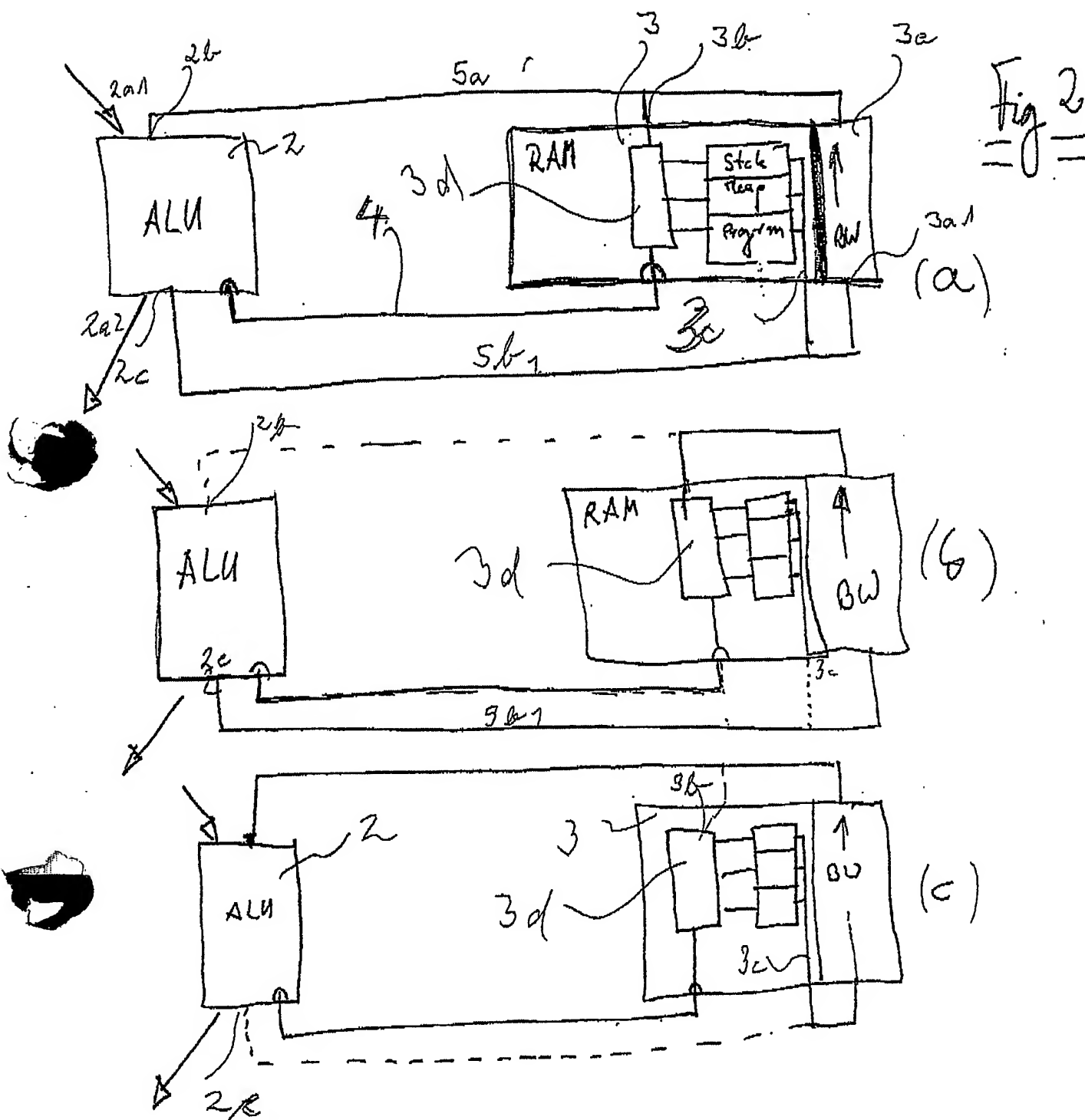


Fig. 1



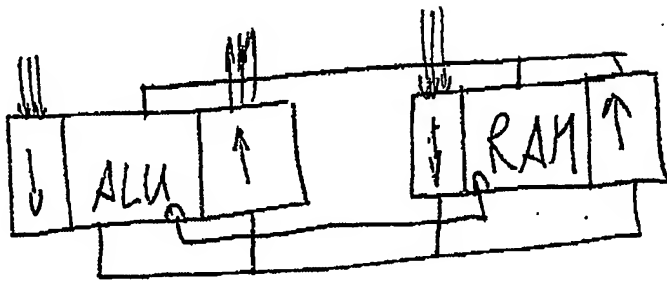


Fig. 3

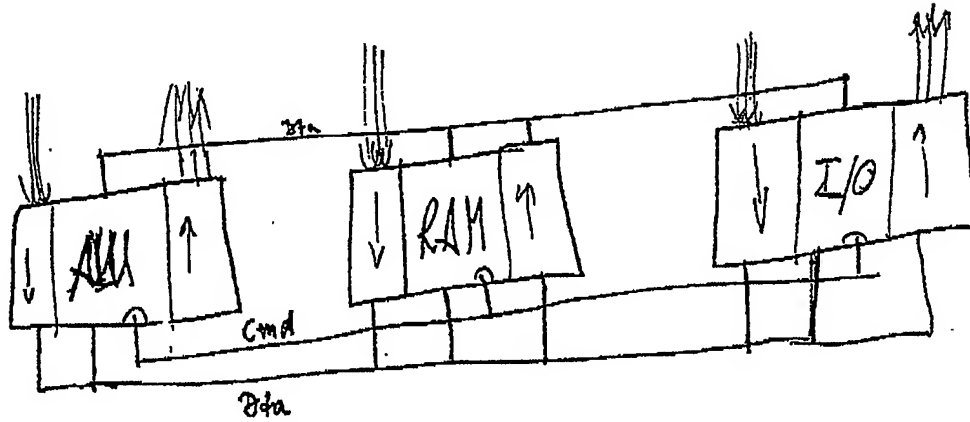


Fig. 4

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.